

design your future

Digitale technologie

Loret Franky

industriële wetenschappen en technologie

bachelor in de elektronica - ICT

campus Brugge

academiejaar 2019-2020



katholieke hogeschool
associatie KU Leuven

Legende van de gebruikte iconen

	Denkvraag
	Leerdoelen
	Formule
	Extra informatie
	Niet vergeten
	Opdracht/Oefening
	Presentatie (PowerPoint)
	Rekenblad (Excel)
	Samenwerking

	Studeeraanwijzingen
	Tijdsinschatting
	Toledo
	Beeld- /geluidsfragment
	Voorbeeld
	Tools/Apps
	Website
	Zelfstudie
	(Zelf)toets

Inhoudsopgave

Legende van de gebruikte iconen	2
Inhoudsopgave.....	3
Inleiding 4	
1 Hoofdstuk 1: analoge en digitale signalen	5
1.1 Waarom digitaliseren?.....	5
1.2 Logica families.....	8
1.3 Kenmerken.....	9
1.4 Praktische hints.....	12
1.5 Vragen.....	13

Inleiding

Digitaal is afgeleid van het Latijnse woord *digitus*, dat vinger betekent en impliciet refereert naar het tellen op de vingers. Data en datatransport worden digitaal genoemd als de data slechts een aantal discrete waarden kunnen aannemen, in tegenstelling tot een situatie waarbij data en datatransport analoog zijn. Analoog betekent dat elke waarde binnen een continuüm mogelijk is. Het aantal discrete waarden op het laagste niveau (bit) bij digitale toepassingen is over het algemeen twee (binair).

Zowel digitale als analoge technieken kunnen worden gebruikt voor de opslag, overdracht en bewerking van informatie, maar de digitale informatieverwerking heeft superieure voordelen zoals foutvrije opslag, verwerking en transmissie van digitale informatie, de mogelijkheid tot betrouwbare, complexe bewerkingen en een inherent hogere kwaliteit bij het digitaal verwerken van informatie.

Voor de digitale bewerking van informatie wordt gebruikgemaakt van digitale bouwstenen die logische of booleaanse functies kunnen uitvoeren. Met combinaties van digitale bouwstenen, ook wel combinatorische logica genoemd, kunnen complexe, digitale functies ontworpen en gebouwd worden. Digitale bouwstenen met een geheugenfunctie liggen aan de basis van het ontwerp van sequentiële en synchrone systemen. Uiteindelijk kunnen generieke, digitale systemen worden ontworpen via Finite State Machines.

In deze cursus wordt zowel het ontwerpen van combinatorische als geklokte digitale systemen systematisch en gestructureerd toegelicht. Welkom in de wondere wereld van de digitale technologie en het digitaal ontwerp.

1 Hoofdstuk 1: analoge en digitale signalen



Leerdoelen

- Het onderscheid tussen analoge en digitale signalen kennen.
- Het correct bepalen van de samplefrequentie.
- De begrippen stapgrootte, resolutie en nauwkeurigheid verklaren.
- Positieve en negatieve logica toelichten.
- Logische signalen en logische poorten beschrijven.
- Kenmerken van logica families omschrijven.
- Praktische tips voor TTL en CMOS logische families toepassen.

1.1 Waarom digitaliseren?

De natuurlijke wereld waarin wij ons bevinden is een **analoge** wereld. Elk natuurlijk proces is een opeenvolging van **continue** gebeurtenissen. We kunnen een oneindig aantal verschillende kleuren en hun schakering onderscheiden; onze bewegingen verlopen in één vloeiend proces en alle geluiden (in een bepaalde frequentieband) kunnen we onderscheiden door hun toonaard en hun sterkte.

Analoge, elektrische signalen zijn **continue** signalen die gekenmerkt worden door hun *frequentie*, *fase* en *amplitude*¹. Elke wijziging in het signaal gebeurt vloeiend en men kan aannemen dat bij een overgang elke tussenliggende waarde wordt aangenomen.



Niet vergeten

Analoge signalen zijn continu in tijd en amplitude en kunnen een oneindig aantal waarden aannemen binnen een bepaald bereik. **Digitale** signalen kunnen discreet zijn in amplitude en/of tijd en kunnen slechts een beperkt aantal discrete waarden aannemen binnen een bepaald bereik.

Bij het omzetten van analoge signalen naar digitale, discrete signalen is de bepaling van een correcte **samplefrequentie** belangrijk. Er worden op welbepaalde ogenblikken 'samples' genomen van de ogenblikkelijke waarde, die dan op haar beurt omgezet wordt in een aantal stapjes, de digitale code.

Het bepalen van de samplefrequentie zal hier niet besproken worden, maar we onthouden dat deze bepaald wordt door het **theorema van Shannon**²: de samplefrequentie moet minimaal gelijk zijn aan tweemaal de hoogst voorkomende frequentie.

¹ (sparkfun, 2019)

² (Wikipedia, 2019)



Extra informatie

Het **theorema van Shannon** is uitermate belangrijk, telkens men de transitie maakt van de analoge naar de digitale wereld. De hoogst voorkomende frequentie van het te bemonsteren, analoge signaal kan bijvoorbeeld bepaald worden via een spectrumanalyser.

Er is dus geen continuïteit meer en tussentoestanden kunnen niet worden weergegeven. De *volgorde* in de digitale code is belangrijk geworden. De plaats van het symbool in de combinatie heeft een **gewicht**, een **rangorde** gekregen. Met 2 bits kan men 4 toestanden weergeven. Met 3 bits is men reeds in staat om 8 verschillende mogelijkheden eenduidig weer te geven.

Omdat een **analoog** signaal een **oneindig** aantal waarden kan aannemen zullen er enorm veel bits nodig zijn. In de praktijk zullen we ons echter beperken tot 8, 16, 32 of 64 bits. Hoe hoger het aantal bits, hoe dichter de werkelijke waarde benaderd wordt. Naarmate we meer bits gebruiken, zullen we fijner een bepaalde toestand kunnen omschrijven. Men zegt dat de resolutie groot is; de afstand tussen twee verschillende waarden kan kleiner worden genomen; de **stapgrootte** is kleiner.

Hier moeten we een onderscheid maken tussen **nauwkeurigheid** en **resolutie**.

Indien men het resultaat van een bewerking op een calculator afleest met 8 cijfers na de komma, dan heeft men een grote resolutie, maar het antwoord kan totaal verkeerd zijn en men heeft bijgevolg een zeer slechte nauwkeurigheid.

In het domein van de elektronica zullen wij natuurlijk met **spanningen** en **stromen** werken. Omdat we nu echter gebruik maken van twee symbolen, zullen we deze tekens verbinden met spannings- of stroomniveaus:

Positieve logica: 0 = Laag Niveau (L) 1 = Hoog Niveau (H)

Dit is typisch voor de **TTL**-technologie (Transistor Transistor Logic)

Negatieve logica: 0 = Hoog Niveau (H) 1 = Laag Niveau (L)

Dit is typisch voor **PMOS**-technologie (Metal Oxide Semiconductor van het P-type)

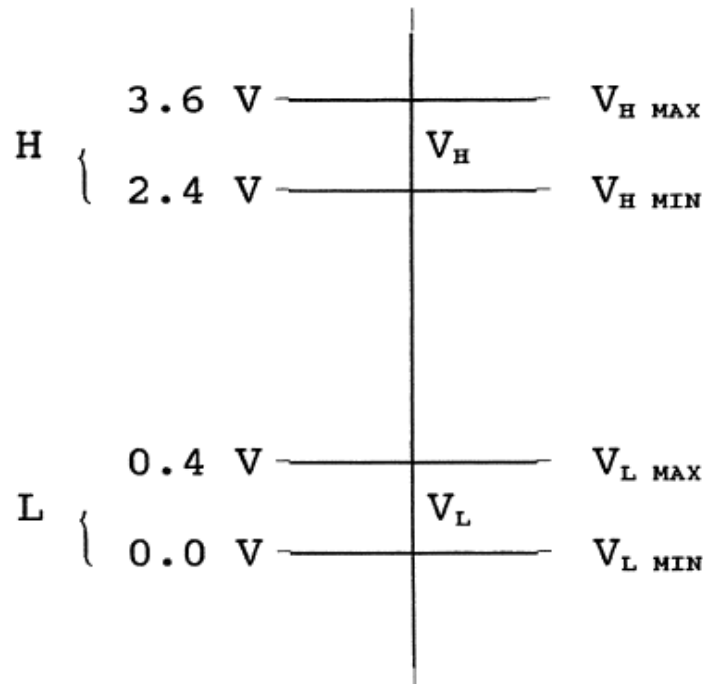
Het is evident dat er op voorhand afspraken gemaakt moeten worden. In deze basis cursus maken we gebruik van **positieve logica** (TTL) en komt een '1' overeen met een hoge spanning (5 V) en een '0' met een lage spanning (0 V of massapotentiaal). We hebben in dit geval de symbolen gekoppeld aan een analoog spanningsniveau.

Eén van de grootste *nadelen* van **analoge** systemen is dat ze onderhevig zijn aan omgevingsfactoren, zoals temperatuur en vochtigheid, waardoor men allerlei kunstgrepen moet toepassen om een bepaalde instelling stabiel te houden. Zo zullen er terugkoppelingen en compensaties voor de temperatuur moeten toegepast worden om de ingestelde waarde binnen toegelaten grenzen te laten drijven. We zullen moeten werken met **toleranties** en beseffen dat een *absolute* instelling moeilijk te bereiken is.

De afstand tussen de beide niveaus is zeer groot en op de waarde zelf is er een duidelijke tolerantie.

- V_H : dit is de spanning die overeenkomt met een H-niveau en ligt tussen V_{Hmin} en V_{Hmax} .
- V_L : dit is de spanning die overeenkomt met een L-niveau en ligt tussen V_{Lmin} en V_{Lmax} .

Naargelang de soort technologie kan men een bepaalde waarde geven aan deze niveaus. Deze waarden worden weergegeven in **figuur 1.1**.



Figuur 1.1 Logische spanningsniveaus

Deze toestanden worden aangenomen door wat men 'logische componenten' pleegt te noemen. Deze componenten zijn intern opgebouwd met transistoren, dioden en weerstanden. Door het gebruik van enkele actieve componenten moet men uitwendig een voedingsspanning V_{CC} aanleggen. Voor de klassieke TTL-logische componenten is dit 5 V en wordt een hoog niveau (V_H) normaliter ook gelijkgesteld aan 5 V.



Niet vergeten

De voedingsspanning van TTL componenten is steeds 5 V.

Elektronische schakelingen die de Booleaanse functies vervullen noemen we **logische poorten** of logische schakelingen. De basispoorten zijn dan ook de schakelingen die beantwoorden aan de AND-, de NOT- en OR-functies.

1.2 Logica families

Zoals reeds aangehaald kunnen we een onderscheid maken naar de halfgeleidertechnologie waarmee de geïntegreerde schakelingen geproduceerd zijn. Deze verschillen hoofdzakelijk in vermogendissipatie, snelheid en ruisongevoeligheid.

De twee basisfamilies³ zijn:

- **TTL** : Transistor Transistor Logic
- **CMOS** : Complementary Metal Oxide Semiconductor

Vervolgens maakt men verder nog een onderscheid in de familie zelf.

Voor **TTL** is de 74-serie de meest voorkomende reeks. Het voorvoegsel **74** wordt gevolgd door twee of drie cijfers die de verschillende componenten aanduiden. Er wordt eveneens een tussenvoegsel geplaatst dat de verschillen in fabricage nog eens duidelijk maakt.

Tabel 1.1 illustreert enkele veel gebruikte tussenvoegsels en hun betekenis.

Tussenvoegsel	Verklaring
geen	Standaard TTL
C	CMOS-versie van de TTL component
F	Fast – snelle versie van de component
H	High-speed versie
S	Schottky ingang voor hogere snelheid en noisemargin
LS	Laagvermogen Schottky
HC	High speed met CMOS compatibele ingangen
HCT	High speed CMOS met TTL compatibele uitgangen

Tabel 1.1 TTL Logica familie

Voor **CMOS** is de 4000-serie de meest voorkomende versie. Opnieuw worden de varianten onderscheiden door volggetallen en achtervoegsels (zie **tabel 1.2**).

Achtervoegsel	Verklaring
geen	standaard-CMOS
A	standard, ongebufferde CMOS
B, BE	verbeterde, gebufferde CMOS
UB,UBE	verbeterde, ongebufferde CMOS

Tabel 1.2 CMOS Logica familie

³ (Wikipedia, Logic family, 2019)

1.3 Kenmerken

Er werd reeds aangehaald dat logische niveaus eigenlijk spanningen zijn die de logische toestanden 1 en 0 voorstellen. Deze niveaus zijn voor **TTL**⁴ anders dan voor **CMOS**⁵.

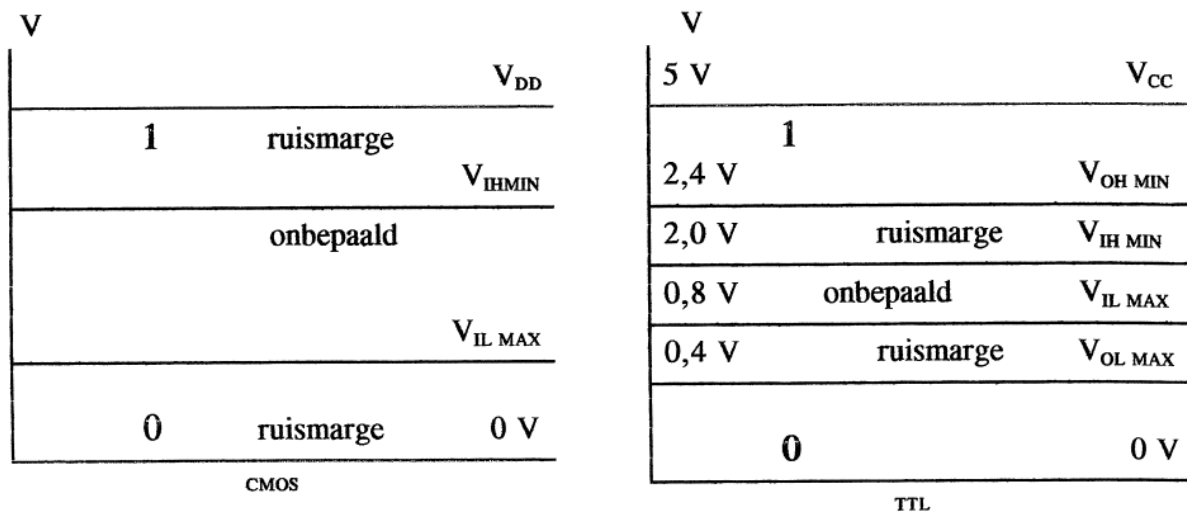
TTL: logische niveaus zijn *absoluut*

CMOS: logische niveaus zijn *relatief* t.o.v. de voedingsspanning, **V_{DD}**

Niveau	CMOS	TTL
logische 1	meer dan $2/3 V_{DD}$	meer dan 2 V
logische 0	minder dan $1/3 V_{DD}$	minder dan 0.8 V
ongedefinieer	tussen $1/3$ en $2/3$	tussen 0.8 en 2 V

Tabel 1.3 Logische niveaus van TTL en CMOS

De **ruismarge** (noise margin) geeft de mogelijkheid weer van een logische schakeling om ruis te onderdrukken. Indien deze waarde groot is, kan de component goed functioneren in een ruisrijke omgeving.



Figuur 1.2 Logische niveaus en ruismarges voor TTL en CMOS

Logische schakelingen worden veelvuldig in cascade geschakeld (na elkaar). Aan de ingang van de eerste schakeling legt men een variabele parameter (0 of 1) aan. Op zijn beurt wordt de uitgang verbonden met de ingang van een tweede schakeling. Deze tweede schakeling moet eveneens een hoog- of een laagniveau zien om te kunnen reageren.

⁴ (sparkfun, Logic Levels, 2019)

⁵ (Wikipedia, CMOS, 2019)

Definitie: de **ruismarge**⁶ wordt gedefinieerd als het verschil tussen de minimumwaarden van de hoge spanningsniveaus aan de in- en uitgang, maar ook als het verschil tussen de maximumwaarden van de lage spanningsniveaus aan de in- en uitgang:

$$\text{Ruismarge (noise margin}^7) = V_{OH(MIN)} - V_{IH(min)}$$

en

$$\text{Ruismarge} = V_{OL(MAX)} - V_{IL(MAX)}$$

$V_{OH(MIN)}$: de minimumwaarde van de hoge toestand (logische 1) van de uitgangsspanning.

$V_{IH(MIN)}$: de minimumwaarde van de hoge toestand van de ingangsspanning.

$V_{OL(MAX)}$: de maximumwaarde van de lage toestand (logische 0) van de uitgangsspanning.

$V_{IL(MAX)}$: de maximumwaarde van de lage toestand van de ingangsspanning.

De ruismarge voor een standaard 7400 TTL serie bedraagt ongeveer 400 mV (**figuur 1.2**). De ruismarge voor een CMOS-schakeling is groter en bedraagt ongeveer 1/3 V_{DD} .

Tabel 1.4 vergelijkt de belangrijkste kenmerken van diverse TTL-schakelingen met de gebufferde CMOS-schakeling.

Kenmerken	74...	Logica families		40BE
		74LS...	74HC...	
Maximum voedingsspanning	5.25 V	5.25 V	5.5 V	18 V
Minimum voedingsspanning	4.75 V	4.75 V	4.5 V	3 V
Statische vermogendissipatie (per poort bij 100 kHz)	10 mW	2 mW	te verwaarlozen	te verwaarlozen
Dynamische vermogendissipatie (per poort bij 100 kHz)	10 mW	2 mW	0.2 mW	0.1 mW
Vertragingstijd (t_{pd}) in ns	10	10	10	105
Maximum klokfrequentie (MHz)	35	40	40	12
Power-Delay Product (pJ) bij 100 kHz	100	20	1.2	11
Minimum uitgangsstroom bij $V_0 = 0.4$ V in mA	16	8	4	1.6
Fan-out: aantal LS belastingen	40	20	10	4
Maximum uitgangsstroom bij $V_{IN} = 0.4$ V in mA	-1.6	-0.4	± 0.001	- 0.001

Tabel 1.4 Kenmerken van digitale IC's

⁶ (circuits, 2019)

⁷ (Wikipedia, Noise margin, 2019)

Opmerkingen

1. **Statische vermogendissipatie:** dit is het vermogen dat opgenomen wordt door een poort als men aan de ingang een blokgolf aanlegt met een 'duty cycle' van 50 %. Dit wil zeggen dat de periode waarin V_{IN} hoog is, even lang duurt als het laag niveau van V_{IN} .
2. **Power delay product**⁸: dit is het product van het verbruikte statische vermogen en de poortvertragingstijd (*propagation delay time*).

Dit is één van de belangrijkste parameters om de kwaliteit van een logische familie te bepalen. Een poort is immers van goede kwaliteit indien men een kleine t_{pd} bereikt met een klein vermogen. De moeilijkheid is een grote snelheid bij een laag vermogen te bereiken. Het is geen kunst een kleine t_{pd} te verkrijgen als men de voedingsspanning V_{CC} sterk vergroot. Daardoor stijgt het vermogen eveneens.

De digitale IC's die aangepast zijn aan een microprocessor-bus hebben een uitgang met drie toestanden (tri-state output). Wanneer verschillende logica-componenten gelijktijdig op deze bus worden aangesloten moet men busconflicten voorkomen (de ene poort kan een uitgang zijn terwijl de andere een ingang is en men mag geen gegevens sturen naar een uitgang).

Deze uitgangen worden dan in een toestand geplaatst met een **hoge impedantie** (ze zijn als het ware afgeschakeld). Zulke componenten hebben een besturingsingang (enable EN) of een chip select (CS). In dit geval moet men deze ingang sturen met een hoog of een laag niveau opdat de uitgang de bus zou kunnen activeren.

De twee mogelijkheden kunnen als volgt worden omschreven:

- de enable of de chip-select-ingang moet **actief hoog** zijn (logische 1) opdat de uitgang op de bus gezet wordt;
- de enable of de chip-select-ingang moet **actief laag** zijn (logische 0) opdat de uitgang op de bus gezet wordt.

Het is bijgevolg aan te raden de databoeken te informeren om te zien wanneer een IC actief geplaatst wordt. Indien een actief *laag* ingangssignaal vereist is, wordt dit aangeduid door een cirkeltje te tekenen aan het symbool, ofwel zal men de aanduiding 'inverteren'.

Definitie

FAN-OUT: de fan-out van een bepaalde poort is het aantal poortingangen dat door de uitgang van de beschouwde poort gestuurd kan worden.

Deze definitie is maar zinvol indien poorten van dezelfde familie met elkaar verbonden worden. Indien men MOS-poorten op een TTL-uitgang aansluit kan men een nagenoeg onbeperkt aantal poorten sturen, daar waar voor TTL-poorten de 'fan-out max' slechts 10 bedraagt.

FAN-IN: dit getal geeft weer hoeveel standaardvingen evenveel stroom verbruiken of leveren als de beschouwde ingang van de poort. Zo zal een poortingang die maar half zoveel stroom verbruikt als een standaardingang een fan-in hebben van 0.5. Het is een maat voor het belastingseffect van een ingang.

⁸ (Wikipedia, Power-delay product, 2019)

Hieruit volgt dat op elk knooppunt in een digitale schakeling de fan-out⁹¹⁰ van de stuurtrap altijd groter dan of gelijk moet zijn aan de TOTALE fan-in van de volgende trappen.

Sturende component	Maximum aantal ingangen dat kan worden aangestuurd				
	74	74LS	74S	74HC	CMOS
74	10	40	8	onbeperkt	onbeperkt
74 buffers	30	60	24	"	"
74 LS	5	20	4	"	"
74LS buffers	15	60	12	"	"
74HC	2	10	2	"	"
74HC buffers	4	15	4	"	"
CMOS	-	1	-	50	50

Tabel 1.5 Verband tussen fan-in en fan-out

1.4 Praktische hints

1. De meeste TTL en CMOS IC's zijn ontworpen om te werken met één enkele voedingsspanning van nominaal +5 V. Bij TTL-ontwerpen dient deze nauwkeurig gestabiliseerd te worden. De spanning moet liggen tussen 4.75 V en 5.25 V.
2. Bij CMOS-componenten is het belangrijk te weten dat de t_{pd} hoger is naarmate de voedingsspanning lager wordt. Een hoge snelheid vereist dus een hogere voedingsspanning.
3. CMOS-schakelingen maken een grotere tolerantie van de voedingsspanningsvariëaties mogelijk en werken met een groter bereik (typisch 3 tot 15 V) dan een TTL-schakeling.
4. De stroomdissipatie is hoger bij TTL dan bij hun CMOS-equivalenten. Een TTL-component vraagt een stroom van ongeveer 8 mA. Dit is 1000 maal meer dan CMOS, die werkt met een schakelfrequentie van 10 kHz. Men moet deze schakelfrequentie inderdaad vermelden omdat een CMOS-component slechts een verwaarloosbaar vermogen in rusttoestand opneemt. Naarmate de snelheid hoger wordt, stijgt de dissipatie proportioneel. Wanneer de schakelsnelheid boven enkele MHz komt, is de stroomopname zelfs groter dan bij TTL-componenten.

⁹ (Wikipedia, Fan-in, 2019)

¹⁰ (Wikipedia, Fan-out, 2019)

5. Bij motorregelingen is het soms aan te raden CMOS te verkiezen boven TTL, omdat deze componenten minder ruisgevoelig zijn bij een spanning hoger dan 5 V.
6. Alle CMOS-componenten zijn tegenwoordig voorzien van beschermingsdiodes aan de ingangen als protectie tegen statische elektriciteit. Toch is het raadzaam om voorzorgsmaatregelen te nemen (aarding van de pols, alle metaaldelen aarden, ...).
7. Gebufferde CMOS componenten hebben een hogere t_{pd} , maar een hogere ruismarge dan ongebufferde versies.
8. Ongebruikte TTL-ingangen moeten met het logische 1 niveau (voedingsspanning) verbonden worden met behulp van weerstanden van ongeveer 47 k Ω . Eén weerstand van 1 k Ω of 2.2 k Ω is voldoende voor het optrekken van 25 ongebruikte ingangen van een standaarduitvoering. Ongebruikte CMOS-ingangen dienen met V_{DD} of V_{SS} te worden verbonden, afhankelijk van de logische (Booleaanse) functie.
9. CMOS en TTL hebben een laagimpedante voedingsspanning nodig die voldoende ontkoppeld moet worden. Dit ontkoppelen gebeurt door een condensator tussen 10 nF en 100 nF te plaatsen voor elke twee of vier componenten en de plaatsing gebeurt dicht bij het IC.

1.5 Vragen



Opdracht/Oefening

- Wat beschrijft het theorema van Shannon met betrekking tot het bemonsteren van analoge signalen?
- Wat is positieve logica? Wat is negatieve logica?
- Verklaar de betekenis van volgende parameters en wat is de waarde voor TTL: V_{Ohmin} , V_{Olmax} , V_{lhmin} , V_{llmax} ?
- Wat is de ruismarge bij TTL en hoeveel is dit voor de hoge en lage niveaus?
- Wat beschrijven de parameters fan-in en fan-out?
- Wat is de statische vermogendissipatie van een digitale poort?
- Wat is het power delay product en wat omschrijft deze parameter?